

PATENT APPLICATION



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Junichi NAKAMURA

Application No.: 10/663,813

Filed: September 17, 2003

Docket No.: 117212

For: OPTOELECTRONIC-DEVICE SUBSTRATE, METHOD FOR DRIVING SAME,
DIGITALLY-DRIVEN LIQUID-CRYSTAL-DISPLAY, ELECTRONIC APPARATUS, AND
PROJECTOR

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-271474, filed September 18, 2002; and

Japanese Patent Application No. 2003-191160, filed July 3, 2003.

In support of this claim, certified copies of said original foreign applications:

 X are filed herewith.

 were filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

Date: October 8, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 1 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 7 1 4 7 4
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 7 1 4 7 4]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 8 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 4 2 7 2

【書類名】 特許願
【整理番号】 J0085119
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/00
G11C 11/413
G03B 21/00
G02F 1/13
H01L 27/10

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 中村 旬一

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】**【予納台帳番号】** 013044**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0109826**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 電気光学装置用基板、この基板の駆動方法、デジタル駆動液晶表示装置、電子機器、及びプロジェクタ

【特許請求の範囲】

【請求項 1】 マトリクス状に配列されデジタル駆動される複数のメモリセルを含むメモリセルアレイと、前記メモリセルに記憶された画素データを電気信号として取り出す為の画素電極とを有する電気光学装置用基板において、

前記メモリセルは供給された画素データの位相を反転させる位相反転回路を備え、前記位相反転回路により位相を反転されたデータ反転信号が前記画素電極に供給されることを特徴とする電気光学装置用基板。

【請求項 2】 前記メモリセルは、前記画素データを記憶するための記憶部と、

位相反転信号に基づいて前記データ反転信号を生成するための第 1 のアナログスイッチ部と、

前記第 1 のアナログスイッチ部からの前記データ反転信号と、ゼロデータ信号とを切り換えるための第 2 のアナログスイッチ部とを備え、

前記記憶部に前記画素データが記憶されているときは、前記データ反転信号を選択し、前記記憶部に前記画素データが記憶されていないときは、前記ゼロデータ信号を選択して、前記画素電極に供給することを特徴とする請求項 1 に記載の電気光学装置用基板。

【請求項 3】 前記データ反転信号は、前記ゼロデータ信号の電位を略中心としてプラス側電位、及びマイナス側電位に位相が変移することを特徴とする請求項 2 に記載の電気光学装置用基板。

【請求項 4】 前記記憶部は S R A M 構造であることを特徴とする請求項 2 に記載の電気光学装置用基板。

【請求項 5】 前記メモリセルアレイは、行方向に沿って配列された 1 組の前記メモリセル群に含まれる 1 組のアドレス端子群を並列に接続するための複数の第 1 の信号線と、

列方向に沿って配列された 1 組の前記メモリセル群に含まれる 1 組のデータ端

子群を並列に接続するための複数の第 2 の信号線と、

前記行方向又は前記列方向に沿って配列された 1 組の前記メモリセル群に含まれる 1 組の位相反転端子群を並列に接続するための複数の第 3 の信号線とを備え

、

前記電気光学装置用基板は、さらに、前記複数の第 1 の信号線を介して、前記行方向に沿って配列された前記メモリセル群に、アドレス信号を順次供給するための第 1 のドライバ回路と、

前記複数の第 2 の信号線を介して、前記列方向に沿って配列された前記メモリセル群に、前記画素データ信号を一斉に供給するための第 2 のドライバ回路と、

前記複数の第 3 の信号線を介して、前記行方向又は前記列方向に沿って配列された各組のメモリセル群に、位相反転信号を供給するための第 3 のドライバ回路とを備えることを特徴とする請求項 1 に記載の電気光学装置用基板。

【請求項 6】 前記第 3 のドライバ回路は、前記画素データの位相を反転させる位相反転回路を有し、前記位相反転回路は前記メモリセルに供給する前に前記画素データの位相を反転することを特徴とする請求項 4 に記載の電気光学装置用基板。

【請求項 7】 請求項 1 乃至 5 の何れか一項に記載の電気光学装置用基板と、

前記電気光学装置用基板に供給される前記ゼロデータの電位と同電位の電圧を供給する為の共通電極を有する対向基板と、の間に挟まれた液晶層を駆動するよう構成されたデジタル駆動液晶表示装置。

【請求項 8】 前記デジタル駆動液晶表示装置により映像を表示する表示部を有することを特徴とする電子機器。

【請求項 9】 投写光を供給する光源部と、

請求項 7 記載のデジタル駆動液晶表示装置と、前記デジタル駆動液晶表示装置を制御するための制御回路と、前記デジタル駆動液晶表示装置の映像を拡大投写する投写レンズ系とを有することを特徴とするプロジェクタ。

【請求項 10】 行方向と列方向とのマトリクス状に配列されデジタル駆動される複数のメモリセルを含むメモリセルアレイと、前記メモリセルに記憶され

た画素データを電気信号として取り出す為の画素電極とを有する電気光学装置用基板の駆動方法において、

前記メモリセルに供給する前の画素データ、又は前記メモリセルに供給された後の画素データの位相を反転させる位相反転工程を含むことを特徴とする電気光学装置用基板の駆動方法。

【請求項 11】 前記位相反転工程は、前記画素データをパルス幅変調する工程と、1 フレームを複数のサブフレームに分割し、前記サブフレーム内の表示データを略 1/2 ずつ前記ゼロデータ信号の電位を略中心としたプラス側電位と、マイナス側電位とに、前記画素データの電位及び位相を変換することを特徴とする請求項 10 に記載の電気光学装置用基板の駆動方法。

【請求項 12】 前記位相反転工程は、前記行方向に配列されている前記メモリセルアレイを順次選択すると同時に前記画素データの位相を反転させることを特徴とする請求項 10 に記載の電気光学装置用基板の駆動方法。

【請求項 13】 前記位相反転工程は、前記行方向の前記メモリセルアレイに供給される位相反転信号の周期と、前記行方向の前記メモリセルアレイに供給される画素データ信号の周期とを同期可変することで、前記サブフレームの周期を可変して階調表現機能を持たせること特徴とする請求項 12 に記載の電気光学装置用基板の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電気光学装置用基板、この基板の駆動方法、デジタル駆動液晶表示装置、電子機器、及びプロジェクタに関する。

【0002】

【従来の技術】

表示装置に多用されている電気光学パネルは、シール材を介して貼り合わされた一対の基板の間に、例えば液晶部を有する構成が一般的である。この種の電気光学パネルにおいては、各基板のうち他方の基板と対向する面に電極が形成されている。この電極には、当該電極に接続された引廻し配線を介して、表示すべき

画像に応じた電圧が印加される。

【0003】

従来、液晶部にはアナログ的に電圧を印加すること、又はデジタル的に1フレーム若しくはサブフレームごとに電圧を印加することが行われている（例えば、特許文献1参照）。そして、液晶分子に電荷が蓄積しないように、正の実効電圧を印加した後は、ほぼ同じ大きさの負の実効電圧を印加している。これにより、液晶部に残存する電荷を相殺するようにしている。

【0004】

【特許文献1】

特開2001-100707号公報

【0005】

【発明が解決しようとする課題】

しかしながら、アナログ的、又はデジタル的に1フレームごとに正負の電圧を印加した場合、完全に電荷を相殺することは困難である。このため、経時的に見ると液晶部に電荷が蓄積されてゆき、液晶分子の劣化の原因となり問題である。また、この電荷の蓄積は液晶部の焼き付きの原因ともなるので問題である。

【0006】

本発明は、上記問題に鑑みてなされたものであり、デジタル駆動により高画質、高コントラストな映像を表示できる表示パネルのための電気光学装置用基板、この基板の駆動方法、デジタル駆動液晶表示装置、及びプロジェクタを提供することを目的とする。

【0007】

【課題を解決するための手段】

上記課題を解決し、目的を達成するために、本発明は、マトリクス状に配列されデジタル駆動される複数のメモリセルを含むメモリセルアレイを有する電気光学装置用基板において、前記メモリセルは供給されたデータの位相を反転させる位相反転回路を備えること、又は既に位相を反転されたデータが前記メモリセルに供給されることを特徴とする電気光学装置用基板を提供する。これにより、メモリセル内の例えば液晶層に残留する電荷を相殺できる。そして、デジタル駆動

により、高画質、高コントラストな映像を表示できる。

【0008】

また、本発明の好ましい態様によれば、前記メモリセルは、前記データを記憶するための記憶部と、位相反転信号に基づいてデータ反転信号を生成するための第1のアナログスイッチ部と、前記第1のアナログスイッチ部からの前記データ反転信号と、ゼロデータ信号とを切り換えるための第2のアナログスイッチ部とを備え、前記記憶部に前記データが記憶されているときは、前記データ反転信号を選択し、前記記憶部に前記データが記憶されていないときは、前記ゼロデータ信号を選択することが望ましい。これにより、メモリセルがデータ反転機能を有しているので、後述する位相反転信号シフトドライバのドライブ能力を小さくできる。

【0009】

また、本発明の好ましい態様によれば、前記記憶部はSRAM構造であることが望ましい。これにより、データをデジタル的に確実に保持できる。

【0010】

また、本発明の好ましい態様によれば、前記メモリセルアレイは、さらに、行方向に沿って配列された1組のメモリセル群に含まれる1組のアドレス端子群を並列に接続するための複数の第1の信号線と、列方向に沿って配列された1組のメモリセル群に含まれる1組のデータ端子群を並列に接続するための複数の第2の信号線と、前記行方向又は前記列方向に沿って配列された前記1組のメモリセル群に含まれる1組の位相反転端子群を並列に接続するための複数の第3の信号線とを備え、前記電気光学装置用基板は、さらに、前記複数の第1の信号線を介して、前記行方向に沿って配列された各組のメモリセル群に、アドレス信号を順次供給するための第1のドライバ回路と、前記複数の第2の信号線を介して、前記列方向に沿って配列された各組のメモリセル群に、前記データ信号を一斉に供給するための第2のドライバ回路と、前記複数の第3の信号線を介して、前記行方向又は前記列方向に沿って配列された各組のメモリセル群に、位相反転信号を供給するための第3のドライバ回路とを備えることが望ましい。これにより、複数のメモリセルアレイに、画像データなどの2次元のデータを記憶できる。

【0011】

また、本発明の好ましい態様によれば、前記第3のドライバ回路は、データの位相を反転させる位相反転回路を有し、前記位相反転回路は前記メモリセルに供給する前に前記データの位相を反転することが望ましい。これにより、メモリセルを構成するトランジスタの数量を低減できる。この結果、画素サイズを微細化できる。

【0012】

また、本発明は、上記に記載の電気光学装置用基板と、前記電気光学装置用基板により映像を表示する表示部とを有することを特徴とする電子機器を提供する。これにより、高画質、高コントラストな映像を表示できる。

【0013】

また、本発明は、照明光を供給する光源部と、上記に記載の電気光学装置用基板と、前記電気光学装置用基板により映像を表示する表示部と、前記表示部の映像を投写する投写レンズ系とを有することを特徴とするプロジェクタを提供する。これにより、高画質、高コントラストな映像を投写できる。

【0014】

また、本発明の好ましい態様によれば、行方向と列方向とのマトリクス状に配列されデジタル駆動される複数のメモリセルを含むメモリセルアレイを有する電気光学装置用基板の駆動方法において、前記メモリセルに供給されたデータの位相を反転させる位相反転工程を含むことが望ましい。これにより、メモリセル内の例えば液晶層に残留する電荷を相殺できる。そして、デジタル駆動により、高画質、高コントラストな映像を表示できる。

【0015】

また、本発明の好ましい態様によれば、前記位相反転工程は、前記データをパルス幅変調する工程と、1フレームを複数のサブフレームに分割し、前記サブフレーム内の表示データを略1/2ずつプラスの位相とマイナスの位相とに変換することが望ましい。これにより、電荷を相殺することで、例えば液晶表示パネルの液晶分子の劣化を低減できる。この結果、液晶部の焼き付きを防止できる。

【0016】

また、本発明の好ましい態様によれば、前記位相反転工程は、前記行方向に配列されている前記メモリセルアレイを順次選択すると同時に前記データの位相を反転させることが望ましい。これにより、無駄な時間なく効率良くサブフレームの書換えを行うことができる。

【0017】

また、本発明の好ましい態様によれば、前記位相反転工程は、前記行方向のメモリセルアレイに供給される位相反転信号の周期と、前記行方向の前記メモリセルアレイに供給されるデータ信号の周期を変えることで前記サブフレームの周期を可変にするサブフレーム周期可変工程とを含むことが望ましい。これにより、サブフレームの周期を任意に変えることができる。

【0018】

【発明の実施の形態】

以下に添付図面を参照して、本発明の好適な実施形態を詳細に説明する。

(第1実施形態)

(反射型液晶表示パネル)

図1は、本発明の第1実施形態に係る電気光学装置用基板を備える反射型液晶表示パネル10の断面構成を示す図である。画素電極17を有する回路形成層12がシリコン基板11上に形成されている。画素電極17はマトリクス状に形成されている。また、シリコン基板11に対向して透明基板14が設けられている。シリコン基板11と透明基板14との間には液晶層15が形成されている。液晶層15はシール材13で封止されている。

【0019】

透明基板14のシリコン基板11側には対向COM電極16が形成されている。また、シリコン基板11の端部には端子パッド19が設けられている。端子パッド19には、異方導電性接着剤20を介してフレキシブルテープ配線21が接着されている。

【0020】

反射型液晶表示パネル10は、全ての構成要素がシリコン基板11上の回路形成層12に設けられている。また、画素電極17を駆動する駆動回路及び基板周

辺部の行ラインドライバ、列ラインドライバ、位相反転信号シフトドライバも同一基板上の画素周辺部に形成されている。

【0021】

本反射型液晶表示パネル10は、大きく2つの特徴を有している。第1の特徴は、液晶層15に対して電圧をデジタル的に印加し、かつ1フレーム（又は後述する1サブフレーム）内において、一对の正負の反転した電圧を印加している点である。また、第2の特徴は、画像表示に際して、後述するサブフレーム駆動方式を採用し、さらにラインごとに書き換えながら順次表示してゆく点である。これら特徴の詳細については後述する。

【0022】

（電気光学装置用基板の概略構成）

図2は、上記駆動回路、各ドライバを有する回路形成層12の内部構成を示すブロック図である。回路形成層12は、メモリセルアレイ（デジタル記憶装置）140と、行ラインドライバ110と、列ラインドライバ120と、位相反転信号シフトドライバ130と、を備えている。なお、ドライバ110、120、130には、それぞれ、不図示の制御回路から信号DY、DATA、DFCが供給されているとともに、クロック信号CLY、#CLY、CLX、#CLX、CLFC、#CLFCが供給されている。

【0023】

なお、本願明細書中、符号の先頭に「#」が付された信号は、図中、符号の上部にバーが付された信号に対応しており、これらの信号は、「#」やバーが付されていない信号に対して、論理レベルが反転した信号であることを意味している。

【0024】

メモリセルアレイ140は、2次元のマトリクス状（アレイ状）に配列された複数のメモリセル101を含んでおり、1画面分の画像データを記憶可能である。各メモリセル101は、一对のデータ端子102d1、102d2と、アドレス端子102aと、位相反転端子102fと、図示しない出力端子と、を有している。

【0025】

また、メモリセルアレイ 140 は、行ラインドライバ（第 1 のドライバ回路）110 と電氣的に連結された複数のアドレス線（第 1 の信号線）111 と、列ラインドライバ（第 2 のドライバ回路）120 と電氣的に連結された複数の一対のデータ線（第 2 の信号線）120a、120b と、位相反転信号シフトドライバ（第 3 のドライバ回路）130 と電氣的に連結された複数の位相反転信号線（第 3 の信号線）131 と、を含んでいる。

【0026】

各アドレス線 111 は、行方向（第 1 の方向）に沿って配列された複数のメモリセルのアドレス端子 102a を並列に接続する。各データ線 102a は、列方向（第 1 の方向に直交する第 2 の方向）に沿って配列された複数のメモリセルのデータ端子群 102d1 を並列に接続する。同様に、各データ線 102b は、列方向に沿って配列された複数のメモリセルのデータ端子群 102d2 を並列に接続する。各位相反転信号線 131 は、行方向（第 1 の方向）に沿って配列された複数のメモリセルの位相反転端子 102f を並列に接続する。

【0027】

（メモリセルの構成）

図 3（a）は、メモリセル 101 の概略構成を示す図である。メモリセル 101 は、記憶部 200 と、2 つのアナログスイッチ SW1、SW2 とを有している。記憶部 200 は SRAM であり、列ラインドライバ 120 の出力端子 D_j および #D_j（j は自然数）から供給されるデータ DATA および #DATA を記憶する。また、第 1 のアナログスイッチ SW1 は、位相反転信号 FC に基づいてデータ反転電位 D_{out} を第 2 のアナログスイッチ SW2 に供給する。第 2 のアナログスイッチ SW2 は、記憶部 200 に記憶されたデータに応じて、第 1 のアナログスイッチ SW1 からのデータ反転電位 D_{out} と、基準電位 COM とのどちらかを画素電極 14 に与える。基準電位 COM は、図 1 の対向電極 16 に与えられている電位と等電位である。そして、記憶部 200 にデータ DATA が記憶されている場合は、画素電極 14 にデータ反転電位 D_{out} が与えられるため、液晶層 15 にデータ反転電位と基準電位との差の電圧が印加される。一方、記憶部

200にデータDATAが記憶されていない場合は、画素電極14に基準電位COMが与えられ、この結果、画素電極と共通電極との間の電位差がゼロになるため、液晶層15には電圧が印加されない。

【0028】

図3(b)は、メモリセル101の構成をトランジスタレベルで示す図である。トランジスタT1~T6は、記憶部200に対応する。また、トランジスタT7~T10がアナログスイッチSW2に、トランジスタT11、T12がアナログスイッチSW1にそれぞれ対応する。このように、アナログスイッチSW1を画素内に形成することで、FCラインのドライブ能力を小さくできる。

列ラインドライバ120がメモリアレイに#Dj(jは0からmまでの整数。mは画素アレイの列数)を与える理由は、メモリセル101がSRAM構造のメモリを有しているからである。Djだけを与えてもよいが、Djと#Djとを与えれば、よりデータ確定の速度が速くなるため、好ましい。メモリアレイ内のメモリが#Djを必要としないメモリであってもよい。この場合には、列ラインドライバ120は、メモリアレイに#Djを出力しなくてもよい。ただし、本実施例におけるメモリアレイ内のメモリには、少なくとも次の1)、2)の理由からSRAM構造のメモリが適している。1)構造がシンプルで、このため空間光変調装置の画素領域ごとに設けることが容易である。2)速度が速いため、画像データの処理に適している。

【0029】

(液晶部への印加電圧)

図4は、液晶部15へ印加する電圧を説明する図である。図4では、説明を簡単にするために1フレームが3つのサブフレームからなる場合を図示している。実際には1フレームは3より多いサブフレームを有し得る。図4は、本願の特徴である印加電圧の説明を主目的とし、各ドライバ110、120、130の動作の詳細、およびサブフレームの説明については後述する。まず、行ラインドライバ110からのアドレス信号Yi(iは1からnまでの整数。iは画素アレイの行数)は、行方向のメモリセル101に供給される。また、位相反転信号シフトドライバ130からの位相反転信号FCi(但しiは1からnまでの整数)は、

サブフレーム内の $1/2$ 周期で H レベルと L レベルとを繰り返す。また、行ラインドライバ 110 からのアドレス信号 Y_i に応じて列ラインドライバ 120 のデータ D_j が供給される。

【0030】

図 3 (a) を用いて説明したように、第 1 のアナログスイッチ SW1 は、位相反転信号 FC_i に基づいてデータ反転電位 D_{out_i} を生成する。また、第 2 のアナログスイッチ SW2 は、第 1 のアナログスイッチ SW1 からのデータ反転電位 D_{out_i} と、基準電位 COM とを切り換える。これにより、列ラインドライバ 120 のデータ信号 D_i が入力されているフレームでは液晶層 15 に電圧が印加される。この場合、画素電極に与えられる電位は、サブフレーム内の $1/2$ 周期ずつに電位 V_{cc} と電位 GND とになる。ここで、基準電位 COM と電位 V_{cc} との間の電位差と、基準電位 COM と電位 GND との電位差とは等しい。このため、基準電位 COM を基準とした実効電圧 V_a と V_b とは位相が反対で、その大きさが等しい電圧が液晶層 15 に印加される。

【0031】

液晶層 15 は、印加される電圧の大きさ（実効電圧）が同じであれば、位相の正負に関わり無く、同じように動作する。また、デジタル的に同じ大きさの正の電圧と負の電圧とが同じ割合で、1 つフレームの映像を表示する際に印加される。これにより、液晶分子に電荷が残存することなく、ほぼ完全に相殺される。このため、液晶層 15 の経時的な帯電を低減し、焼き付きを防止できる。

【0032】

(サブフレーム駆動方式)

次に、サブフレーム駆動方式の原理について説明する。従来は、液晶層に対して映像の階調に対応した電圧をアナログ的に印加している。この印加電圧の大きさにより階調を表現できる。これに対して、本実施形態に係る反射型液晶表示パネル 10 は、上述のように液晶層 15 にデジタル的に ON・OFF 電圧が印加される。従って、従来のように、印加電圧の大きさに映像の階調を表現することはできない。このため、映像の階調をパルス幅変調 (Pulse Width Modulation、以下「PWM」という。) を用いるサブフレーム駆動方式

で表現する。

【0033】

まず、サブフレーム駆動方式について説明する。ここでは、説明を簡単にするために、映像を8階調（3ビット）で表現する場合を考える。この場合、1つのフレームは、第1サブフレーム1SFから第3サブフレーム3SFまでの3つのサブフレームで構成される。

【0034】

図5（a）は、画素配列の構成を示す図である。図5（a）に示すように、1フレームの映像は1024行の画素配列からなる。第1番目のラインから第n番目のライン（1024ライン）までで1つのフレームが構成される。1つのサブフレームは、メモリセルにデータを書き込むためのアドレス期間 T_a と、書き込まれたデータに従って映像を表示する表示期間とから構成される。1サブフレーム期間では、そのフレームの表示に必要とされる場合に、表示すべきデータDATAが各メモリセル（画素の記憶部200）にON記憶される。サブフレームの重み付けに関しては、PWDの説明において後述する。そして、記憶されたデータDATAの表示期間が点燈状態に相当する。図5（b）は、1フレーム全体とサブフレームとの関係を示す図である。1つのフレームは、説明の便宜上、3つのサブフレーム1SF～3SFからなる。ここで、各サブフレームのアドレス期間 T_a は全て共通している。これに対して、各サブフレームの表示期間（あるいはサブフレーム自体の長さ）はサブフレーム1SF～3SFで異なる。各サブフレームの数は、表示する画像の階調数によって増減させる。また、サブフレーム3SFのように表示期間の長いサブフレームは、1つのサブフレーム3SFをさらに分割することが望ましい。これにより、偽輪郭等を低減でき、表示される画像の品質を向上させることができる。

【0035】

（PWM）

次に、図6に基づいてPWMについて説明する。まず、1つの映像を16階調（4ビット）で表現する場合を例にして説明する。4ビットで表現する場合、図6（a）に示すように、4ビット階調表示のそれぞれのビットに対応した重み付

けを有する4つのサブフレームパルス $P_0 (=2^0)$ 、 $P_1 (=2^1)$ 、 $P_2 (=2^2)$ 、 $P_3 (=2^3)$ を用いる。図6(b)は、サブフレームパルス P_0 、 P_1 、 P_2 、 P_3 のタイミングチャートである。そして、図6(c)に示すように、例えば画像の階調が10レベルの場合、1フレームの表示期間において、サブフレームパルス P_1 と P_3 のときに点燈させる。この結果、1フレーム内の点燈時間の積分値が、実際に観察される表示画像の階調となる。同様に、画像階調が10レベルから6レベルへ変化した場合、サブフレームパルス P_1 と P_2 のときに点燈させる。以上説明したように、本実施形態に係る反射型液晶表示パネルでは、上記サブフレーム駆動方式と上記PWMとを用いて表示画像の階調を表現する。

【0036】

(電気光学装置用基板の変形例)

図2に示す電気光学装置用基板において、本願の特徴的な技術的事項の原理について説明した。ここで、データ信号DATAの書き換え期間を揃えるために、AND回路と信号WEとを付加した構成を図7に示す。図7に示す構成は、図2に示した構成に対して行ラインドライバからのアドレス信号Yに対してAND回路と信号WEとが付加されている点が異なる。その他の構成は、図2に示したものと同様であるので、同一部分には同じ符号を付し、重複する説明は省略する。以下、図7に示す構成に基づいて各ドライバの構成と機能を説明する。

【0037】

(行ラインドライバの構成)

図8は、行ラインドライバ110の内部構成の一例を示すブロック図である。行ラインドライバ110は、各アドレス線111を介して、行方向に沿って配列された各組のメモリセル群に対し、図7中上から下に向かって順次、アドレス信号(走査信号) Y_i を供給する。

【0038】

行ラインドライバ110は、3つのインバータで構成されるレジスタを複数含むシフトレジスタ回路110aと、複数のANDゲートを含むAND論理回路110bとを備えている。シフトレジスタ回路110aは、シリアルーパラレル変

換機能を有しており、1番目のレジスタに与えられるパルス状のアドレス信号DYは、クロック信号CLY、#CLYに従って、2番目以降のレジスタに順次転送されるとともに、各レジスタから出力される。AND論理回路110bの各ANDゲートは、隣接する2つのレジスタから供給されたデータの論理積を、アドレス信号Y_i等として出力する。これにより、AND論理回路110bは、時間的な分解能の比較的高いアドレス信号Y_i、換言すれば、クロック信号CLY、#CLYによりアドレス信号DYがシフトされる短い時間（クロック信号CLY、#CLYの1/2周期）だけHレベルとなるアドレス信号Y_iを、出力することができる。

【0039】

（列ラインドライバの構成）

図9は、列ラインドライバ120の内部構成の一例を示すブロック図である。列ラインドライバ120は、各一对のデータ線120a、120bを介して、列方向に沿って配列された各組のメモリセル群に対し、一斉に、一对のデータ信号D、#Dを供給する。列ラインドライバ120は、6つのインバータで構成されるレジスタを複数含むシフトレジスタ回路120aを備えている。シフトレジスタ回路120aは、シリアル-パラレル変換機能を有しており、1番目のレジスタに与えられた画像データ信号DATAは、2番目以降のレジスタに順次転送されるとともに、各レジスタから出力される。出力される一对の信号Q、#Qは図7の信号D、#Dに相当する。

【0040】

（列ラインドライバのタイミングチャート）

図10は、列ラインドライバ120の動作を示すタイミングチャートである。図示するように、6つのインバータで構成される各レジスタは、クロック信号CLの立ち下がりエッジで順次データを転送している。図10は、説明を簡単にするため、水平方向の画素の数が7つである場合を図示している。信号WEが立ち上がった場合に、列ラインドライバ120の7つの出力端子D0～D6のそれぞれに現れるd0～d6が、それぞれのメモリセルによってラッチされる。なお、Y0の立下がりに同期して、画素データd0～d6がそれぞれのメモリセル10

1によってラッチされるように設計される場合には、信号WEを省略してもよい。ところで、図示されていないが、列ラインドライバ120の7つの出力端子#D0～#D6のそれぞれには、出力端子D0～D6のそれぞれに現れる信号とは極性が反転した信号が現れ、D0～D6に現れる信号と同様にメモリセル101によってラッチされる。

【0041】

このように、イネーブル信号WEがHレベルとなると、データ信号D、#Dを供給するべき一行のメモリセル群にHレベルのアドレス信号Yが供給される。これにより、各メモリセル101は、クロストークなどが発生しない状態で、データを記憶することができる。

【0042】

(行ラインドライバのタイミングチャート)

図11は、行ラインドライバ110の動作を示すタイミングチャートである。時刻t1では、第1のサブフレーム1SFの期間の開始を意味するアドレス信号DYが、不図示の制御回路から行ラインドライバ110に供給される。行ラインドライバ110は、アドレス信号DYに従って、シフトされたアドレス信号Yiを複数のアドレス線111を介して順番に各行のメモリセル101群に供給する。例えば、時刻t2では、アドレス信号Y0が、第1番目のアドレス線111を介して、第1行目のメモリセル101群に供給される。そして、アドレス信号Y0の立下りWY0において第1行のメモリセル群は、各一对のデータ線120a、120bを介して供給されるデータ信号D、#Dをラッチする。図12は、データ信号DATAを行方向のクロックCLXに従って送るタイミングをより詳細に示すタイミングチャートである。

【0043】

(行ラインと列ラインのタイミングチャート)

図13は、行ラインのアドレス信号DYとデータ信号DATAの書き込みとのタイミングの関係を1つタイミングチャートで示したものである。例えば、第1のサブフレーム1SF内において、アドレス信号Y1により行を選択してから、列方向のデータDATAを一度にメモリセル101群に書き込む。なお、mは水

平方方向の画素数を示す。

【0 0 4 4】

(位相反転シフトドライバの構成)

図 1 4 は、位相反転シフトドライバ 1 3 0 の概略構成を示す図である。位相反転シフトドライバ 1 3 0 は、3 つのインバータで構成されるレジスタを複数含むシフトレジスタ回路 1 3 0 a と、複数の AND ゲートを含む AND 論理回路 1 3 0 b とを備えている。シフトレジスタ回路 1 3 0 a は、シリアルーパラレル変換機能を有しており、1 番目のレジスタに与えられるパルス状の位相反転信号 D F C は、クロック信号 C L F C、# C L F C に従って、2 番目以降のレジスタに順次転送されるとともに、各レジスタから出力される。AND 論理回路 1 3 0 b の各 AND ゲートは、隣接する 2 つのレジスタから供給されたデータの論理積を、位相反転信号 F C 0 等として出力する。

【0 0 4 5】

(行ラインドライバの内部動作のタイミングチャート)

図 1 5 は、行ラインドライバ 1 1 0 の動作をさらに詳細に説明するタイミングチャートである。図 1 5 における C L Y、D Y、Y M 0、Y Q 0、Y M 1、Y 0、および Y 1 は、図 8 においてそれぞれの符号で示された個所での信号に対応する。W E は、図 7 に示される信号 W E に対応する。さて、クロック C L Y にしたがって最も左側のシフトレジスタに D Y のパルスが与えられると、ほぼ同時に Y M 0 が立ち上がる。なお、D Y がハイである期間の長さは、C L Y の一周期以下である。その後、C L Y の周期の半分に対応する時間だけ遅れて Y Q 0 が立ち上がる。さらに、Y Q 0 の立ち上がりから C L Y の周期の半分に対応する時間だけ遅れて Y M 1 が立ち上がる。さて、Y M 0 と Y Q 0 とは AND 回路 (図 8) に供給されており、この結果、Y M 0 と Y Q 0 とが重なり合う期間にわたって、この AND 回路から Y 0 が出力される。同様に、Y Q 0 と Y M 1 とは 2 つめの AND 回路 (図 8) に供給されており、この結果、Y Q 0 と Y M 1 とが重なり合う期間にわたって、この AND 回路から Y 1 が出力される。図 1 5 に示す例では、Y 0 が L レベルになるタイミングとほぼ同じタイミングで Y 1 が立ち上がっている。図示しない Y 2 ~ Y n (n はライン数) も同様に発生する。信号 W E は、Y 0、

$Y_1 \cdots Y_n$ のパルスの発生タイミングにそれぞれ対応するように立ち上がる。

【0046】

(映像表示のタイミングチャート)

図16は、上記電気光学回路基板100において、映像を表示する際のタイミングチャートである。図16において、位相反転信号FC0...は、アドレス信号 Y_i ...に応じて順次シフトしてゆく。そして、例えば第1番目の行ラインにおいて第2のサブフレーム2SFの期間がスタートした場合でも、第2番目以降の行ラインでは第1のサブフレーム1SFの映像を表示している。このような映像表示方法により、無駄な時間なくサブフレームの連続的書き込みができる。また、信号DYの出現率を変えることにより、クロック信号CLY (CLFC) が同一でも、信号DFCの周期を変えることができる。

【0047】

(第2実施形態)

図17(a)は、本発明の第2実施形態に係る電気光学装置用基板のメモリセル400の概略構成を示す図である。上記第1実施形態に係るメモリセル101は、2つのアナログスイッチSW1、SW2とを有しているのに対し、本実施形態では1つのアナログスイッチSW2のみ有している点が異なる。その他の構成は上記第1実施形態と同様であるので、同一部分には同様の符号を付し、重複する説明は省略する。また、電気光学装置用基板の構成も図2で示す内容と同様であるので省略する。本実施形態において、位相反転信号FCに基づいてデータ反転電位を生成する機能は位相反転シフトドライバ130が有している。

【0048】

図17(b)は、メモリセル400の構成をトランジスタレベルで示す図である。トランジスタT1~T6は、記憶部401に対応する。また、トランジスタT7~T10がアナログスイッチSW2に対応する。このように、アナログスイッチSW1の機能を位相反転信号シフトドライバに持たせることで、画素を構成するトランジスタを削減できる。この結果、画素サイズをより微細化できる。

【0049】

(第3実施形態)

図18は、本発明の第3実施形態に係る電気光学装置用基板の概略構成を示す図である。本実施形態は、2つの部分列ラインドライバ500a、500bを有している点が上記第1実施形態と異なる。その他の構成は上記第1実施形態と同様であるので同じ部分には同一の符号を付し、重複する説明は省略する。

【0050】

このように、2つの部分列ラインドライバ500a、500bを設けることにより、データを並列に展開して各メモリセルに送ること、及び当該ラインドライバがシリアルーパラレル変換するデータ量を低減することができる。この結果、画素数が多い場合でも高速に画像を表示できる。また、部分列ラインドライバの数量は2つに限られず、3つ以上設けても良い。部分列ラインドライバを3つ以上設ければ、より多くの画素構成の場合でも対応できる。

【0051】

(第4実施形態)

図19は、本発明の第4実施形態に係るプロジェクタ600の概略構成を示す図である。プロジェクタ600は、本体部610と投写レンズ系620とを有している。本体部610は、照明光を供給する光源部611と、上記各実施形態に記載の電気光学装置用基板を備えるデジタル液晶駆動表示装置613と、デジタル液晶駆動表示装置613を制御するための制御回路612を備えている。そして、投写レンズ系620は、デジタル液晶駆動表示装置613に表示された映像をスクリーン630上に拡大して投写する。

【0052】

(第5実施形態)

図20(a)、(b)、(c)はそれぞれ、本発明の第5実施形態に係る電子機器の例である。図20(a)は携帯電話の例を示す斜視図である。1000は携帯電話本体を示し、そのうち1001は本発明の電気光学装置用基板を使用した液晶表示装置である。図20(b)は腕時計型電子機器の例を示す斜視図である。1100は時計本体を示し、1101が本発明の電気光学装置用基板を使用した液晶表示装置である。図20(c)はワープロ、パソコン等の携帯型情報処理装置の例を示す斜視図である。図中1200は情報処理装置を示し、1202

はキーボード等の入力部、1204は情報処理装置本体、1206は本発明の電気光学装置用基板を使用した液晶表示装置である。なお、本発明は、上記各実施形態に限られず、その趣旨を逸脱しない範囲で様々な変形例をとることができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る反射型液晶表示パネルの概略構成を示す図である。

【図2】 上記第1実施形態における電気光学装置用基板の概略構成を示す図である。

【図3】 (a)、(b)は、上記第1実施形態におけるメモリセルの構成を示す図である。

【図4】 液晶層へ印加する電圧の様子を説明する図である。

【図5】 (a)、(b)は、サブフレーム駆動方式を説明する図である。

【図6】 (a)、(b)、(c)は、PWMを説明する図である。

【図7】 上記第1実施形態における電気光学装置用基板の変形例の概略構成を示す図である。

【図8】 上記第1実施形態における行ラインドライバの概略構成を示す図である。

【図9】 上記第1実施形態における列ラインドライバの概略構成を示す図である。

【図10】 上記第1実施形態における列ラインドライバのタイミングチャートである。

【図11】 上記第1実施形態における行ラインドライバのタイミングチャートである。

【図12】 上記第1実施形態におけるデータ送信のタイミングチャートである。

【図13】 上記第1実施形態における行ラインドライバと列ラインドライバとの関係を示すタイミングチャートである。

【図14】 上記第1実施形態における位相反転ドライバの概略構成を示す

図である。

【図 15】 上記第 1 実施形態における行ラインドライバ 110 の動作をさらに詳細に説明するタイミングチャートである。

【図 16】 上記第 1 実施形態において、サブフレームを順次表示するタイミングチャートである。

【図 17】 (a)、(b) は、本発明の第 2 実施形態に係るメモリセルの構成を示す図である。

【図 18】 本発明の第 3 実施形態に係る電気光学装置用基板の概略構成を示す図である。

【図 19】 本発明の第 4 実施形態に係るプロジェクタの概略構成を示す図である。

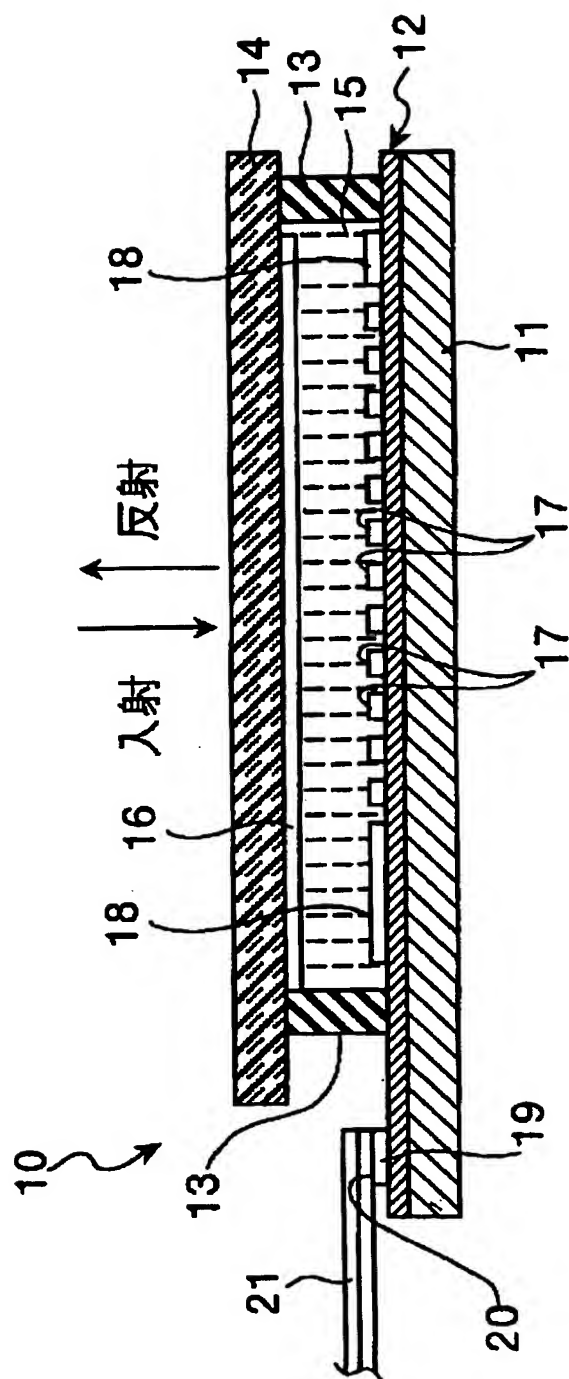
【図 20】 (a)、(b)、(c) は、それぞれ本発明の第 5 実施形態に係る電子機器の例を示す外観図である。

【符号の説明】

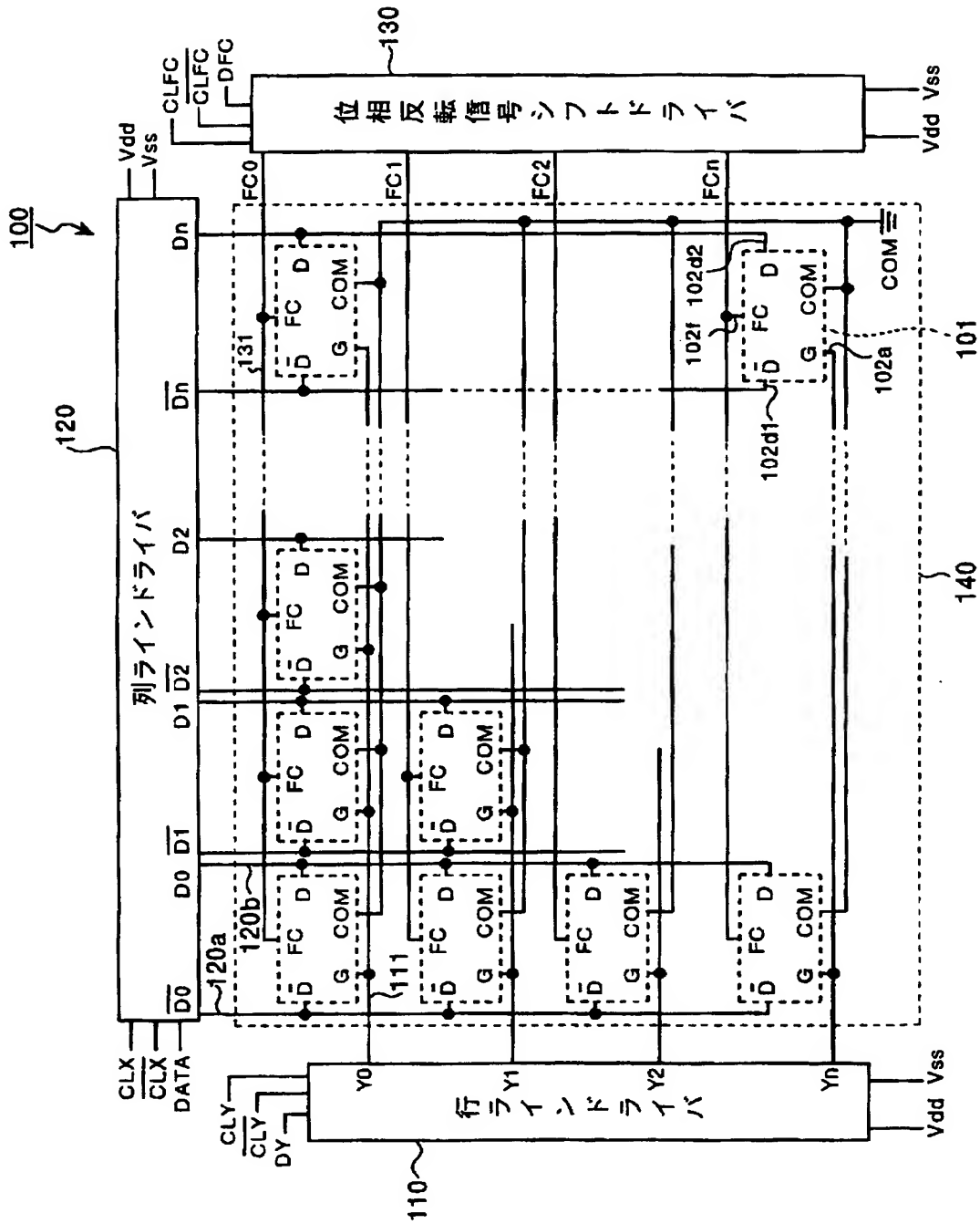
10 反射型液晶表示パネル、11 シリコン基板、12 回路形成層、13 シール材、14 対向透明基板、15 液晶層、16 対向電極、17 画素電極、18 光遮蔽膜、19 端子パッド、20 異方導電性接着剤、21 フレキシブルテープ配線、100, 300 電気光学装置用基板、110 行ラインドライバ、110a, 130a シフトレジスタ回路、110b, 130b AND論理回路、120 列ラインドライバ、130 位相反転信号シフトドライバ、101, 400 メモリセル、111 アドレス信号線、120a, 120b データ信号線、131 位相反転信号線、140 メモリセル群、T1~T10 トランジスタ、200, 401 記憶部、500a, 500b 部分列ラインドライバ、600 プロジェクタ、610 本体、611 光源部、612 制御回路、613 デジタル液晶駆動表示装置、620 投写レンズ系、630 スクリーン、1000 携帯電話本体、1100 時計本体、1200 情報処理装置

【書類名】 図面

【図 1】

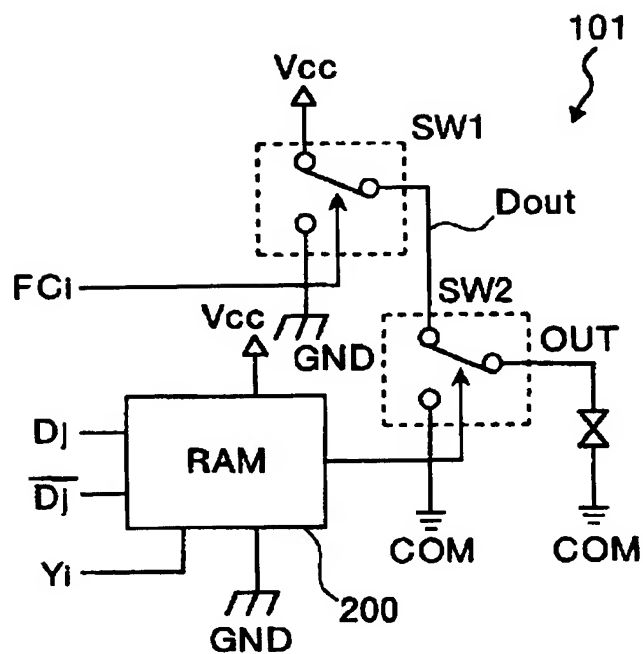


【図 2】

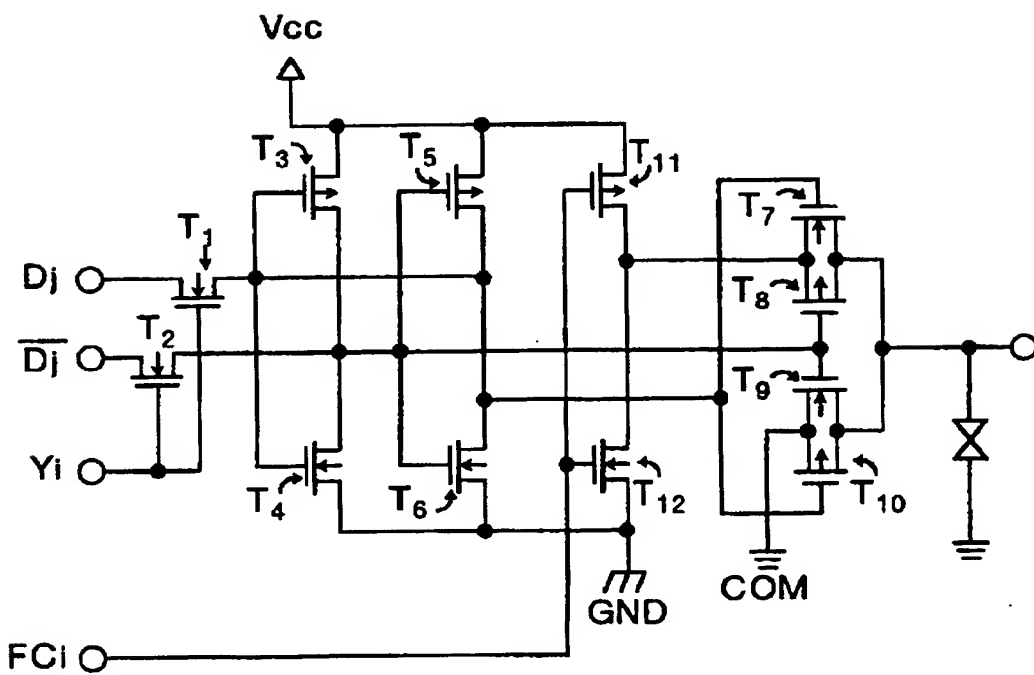


【図 3】

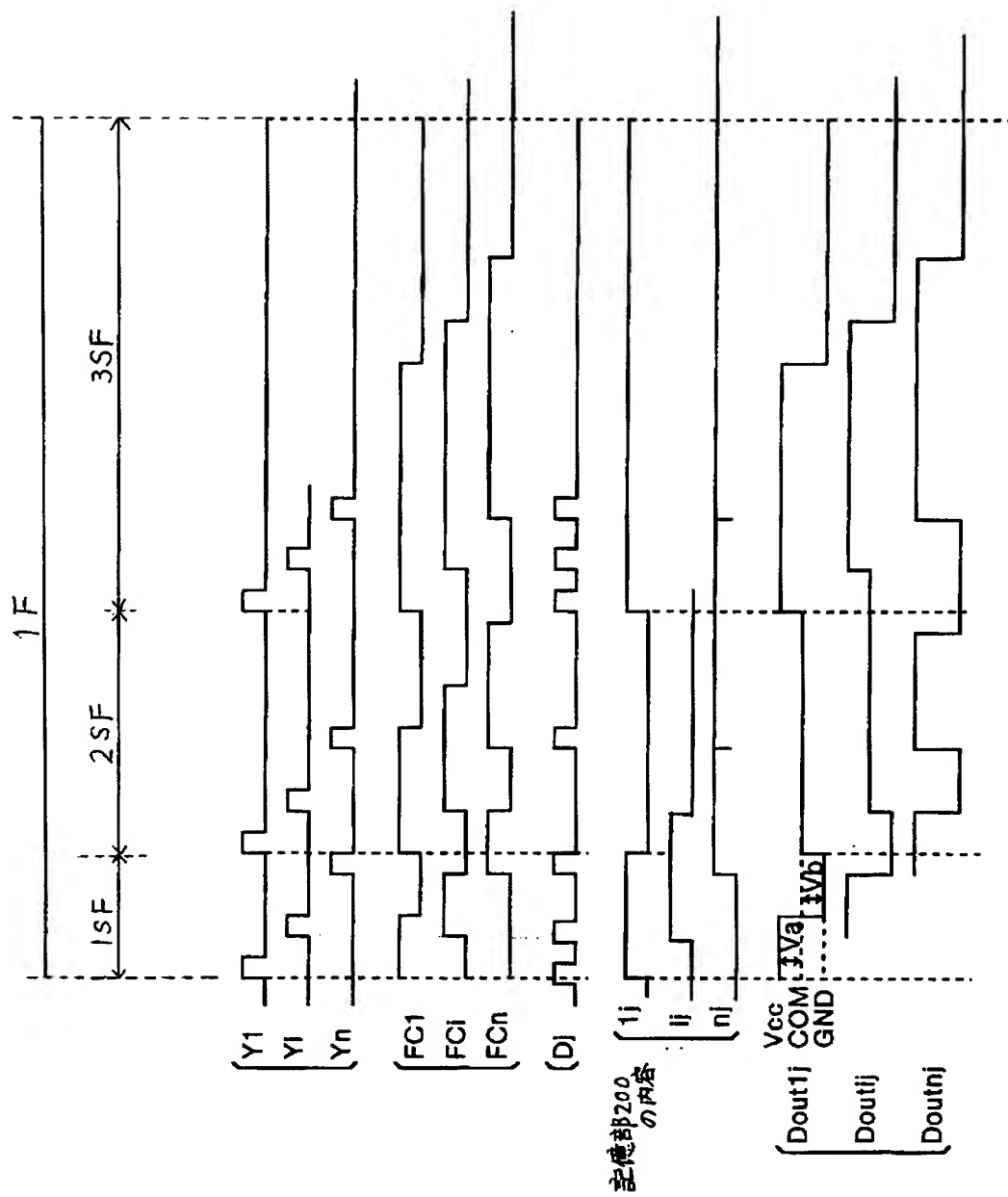
(a)



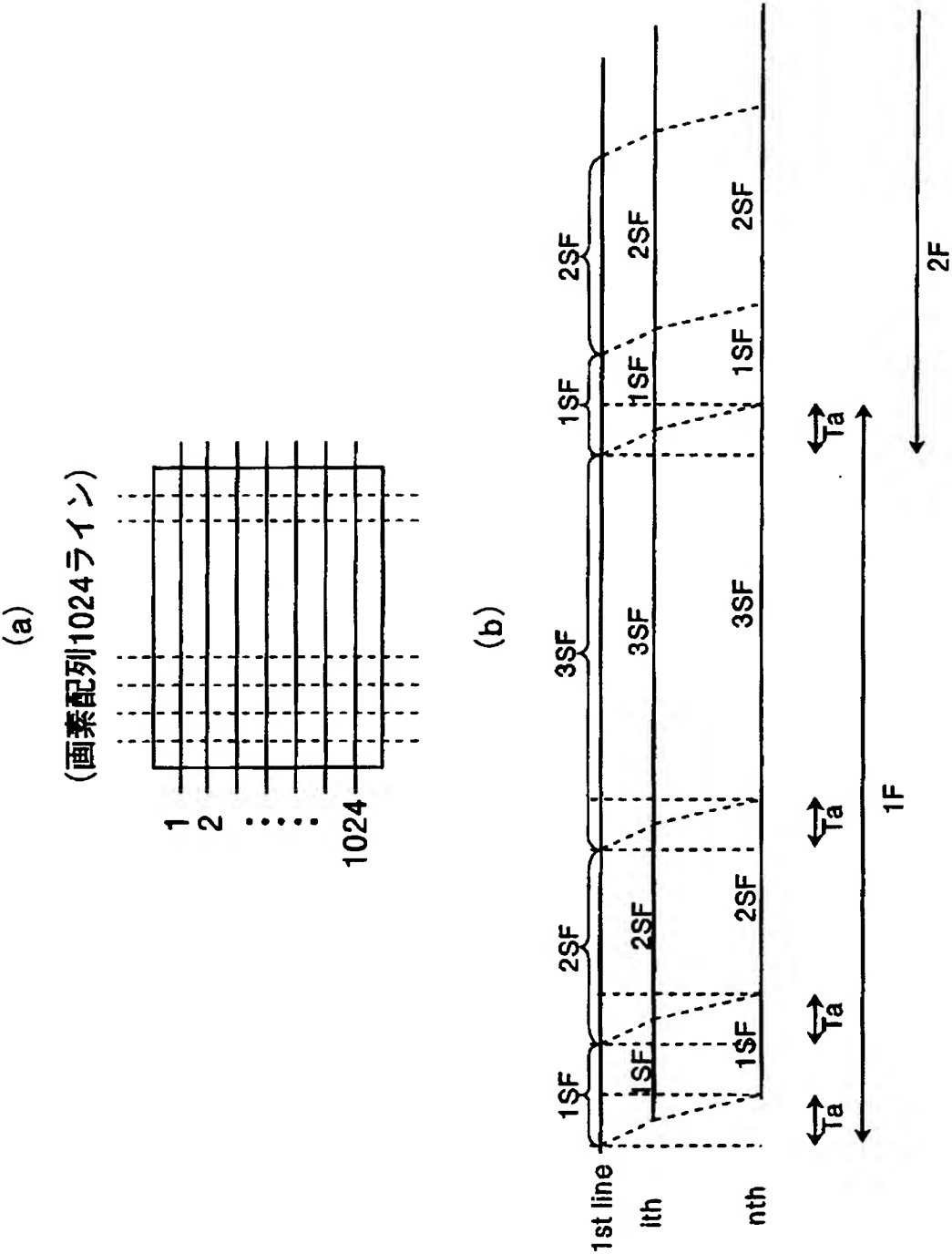
(b)



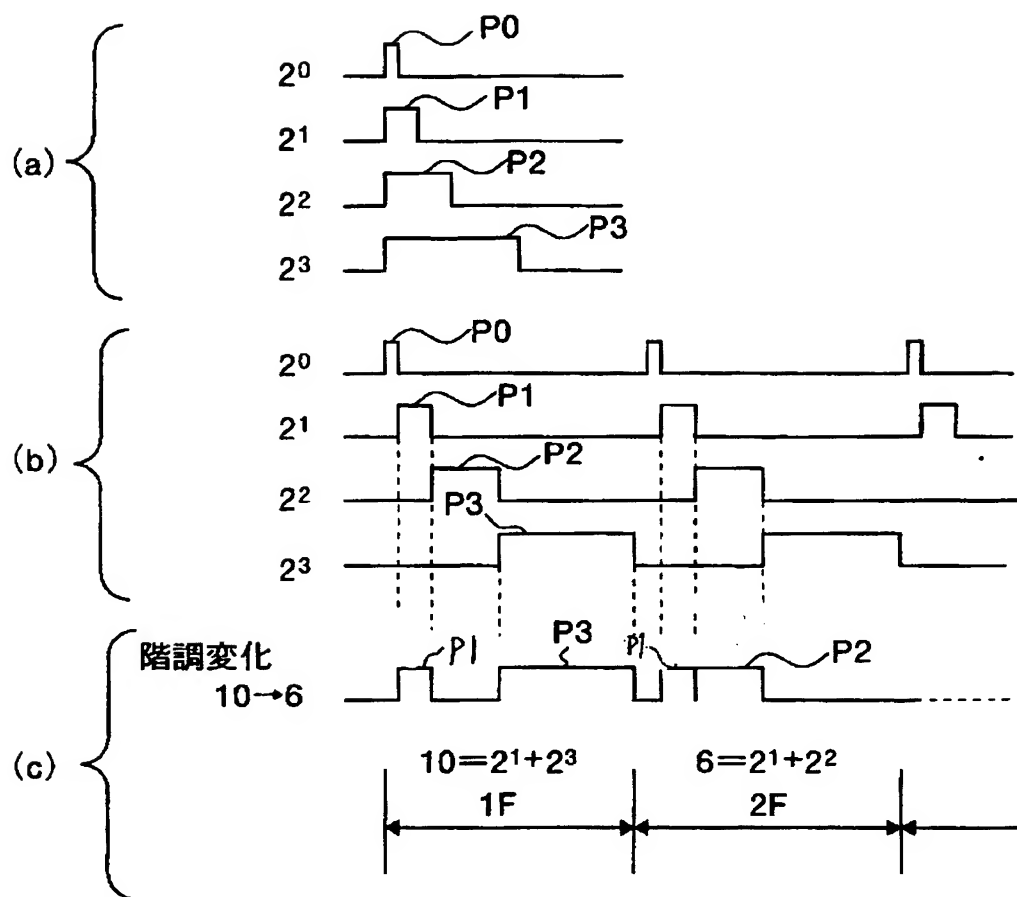
【図 4】



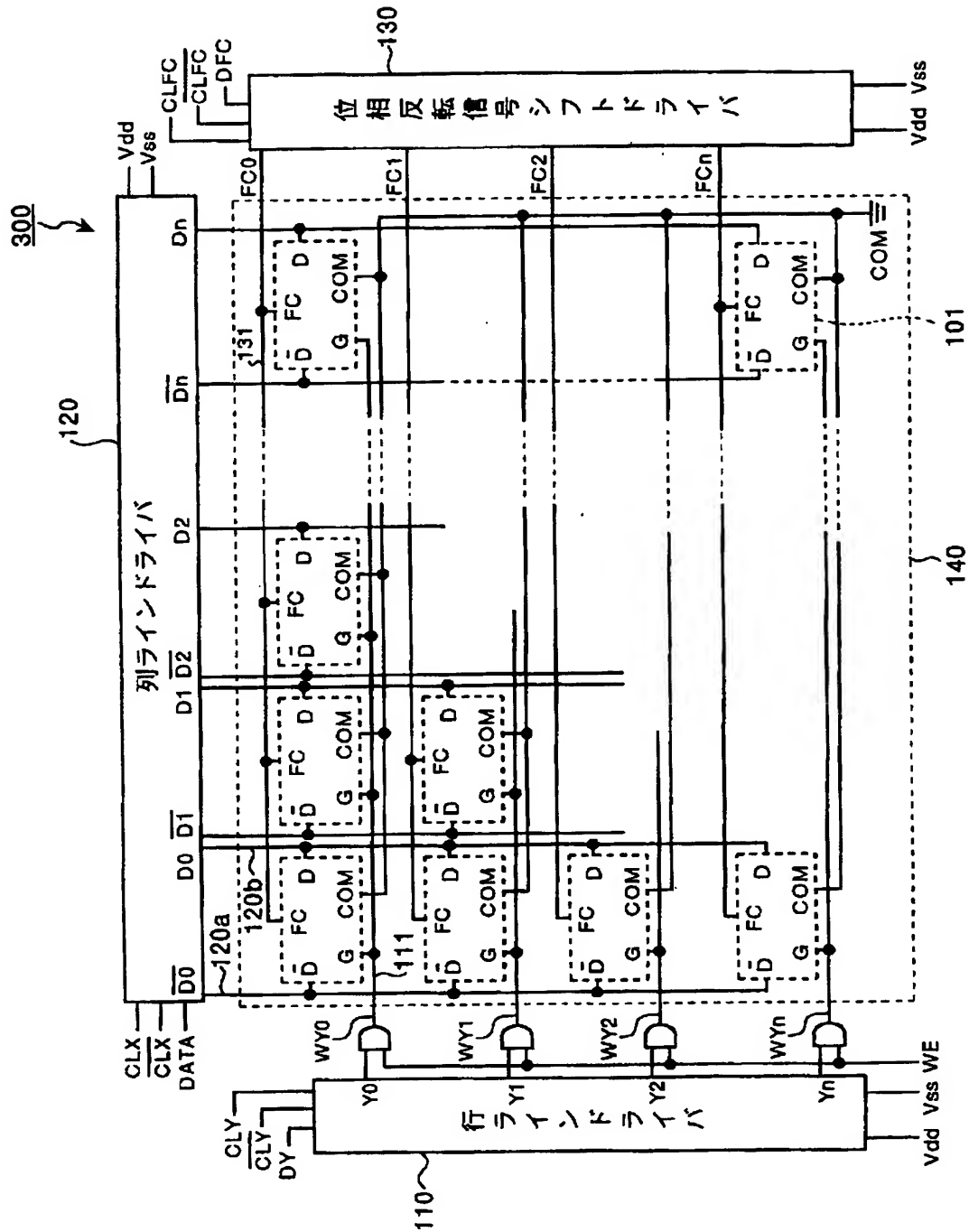
【図 5】



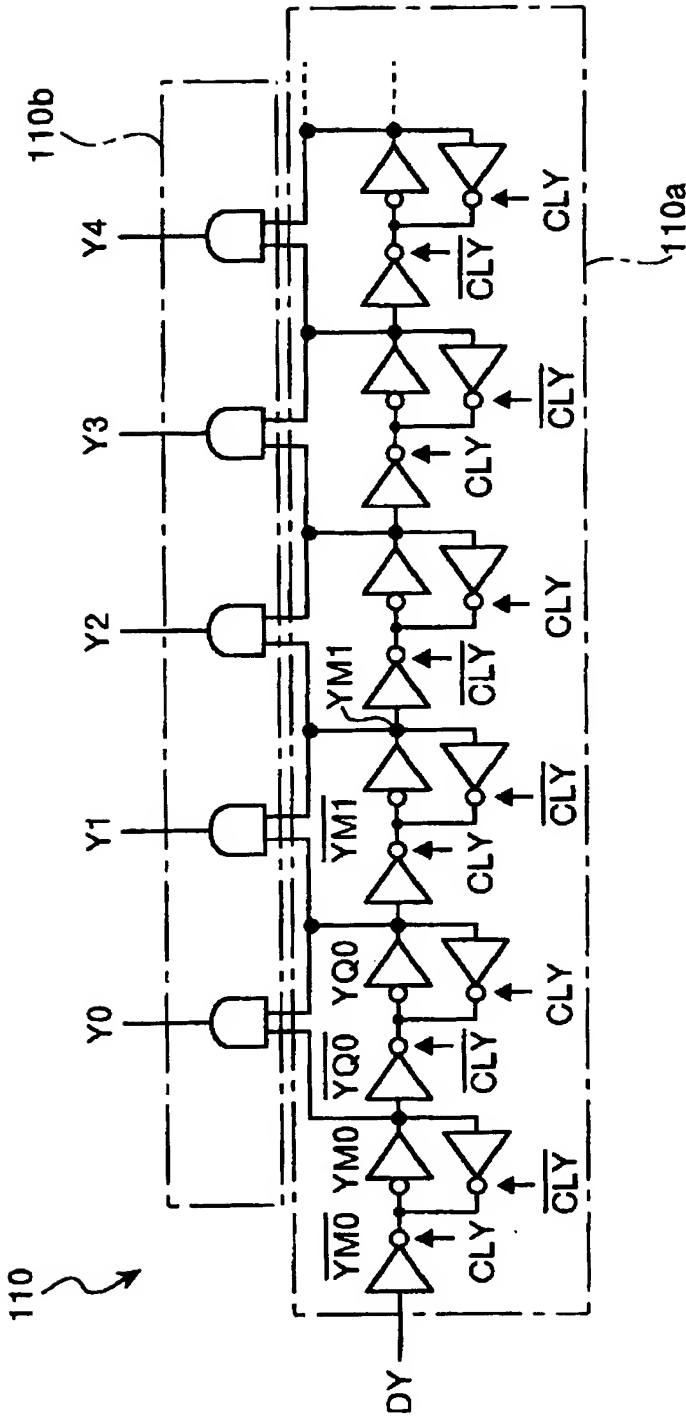
【図 6】



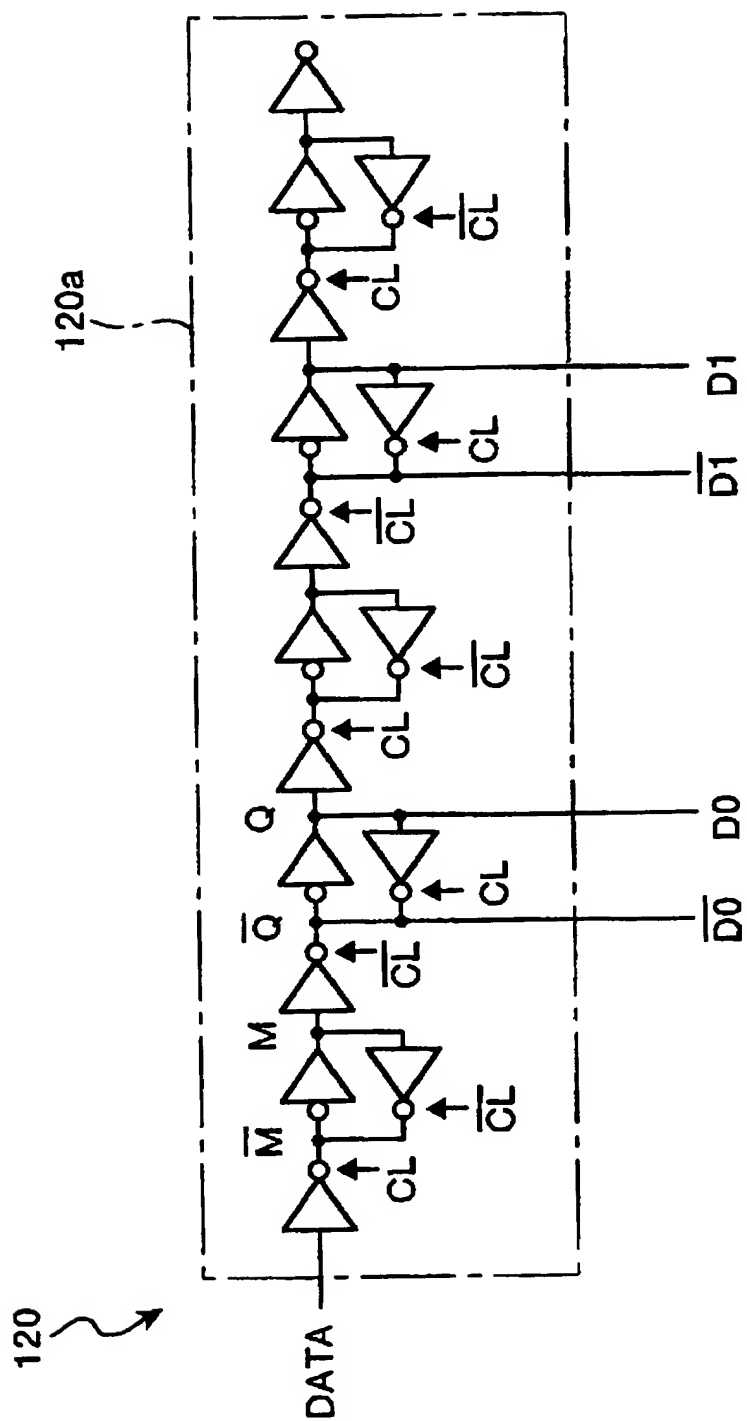
【図7】



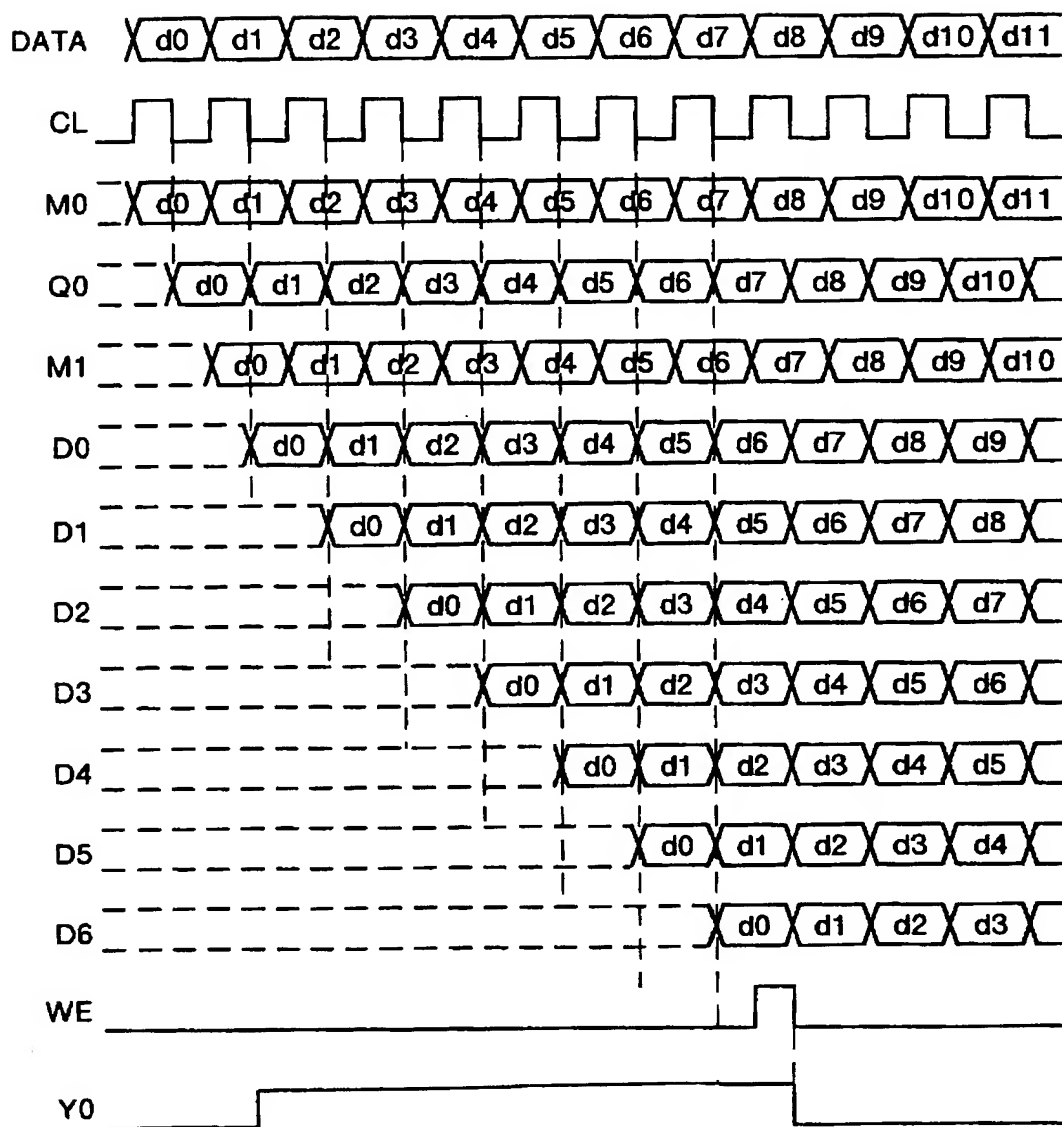
【図 8】



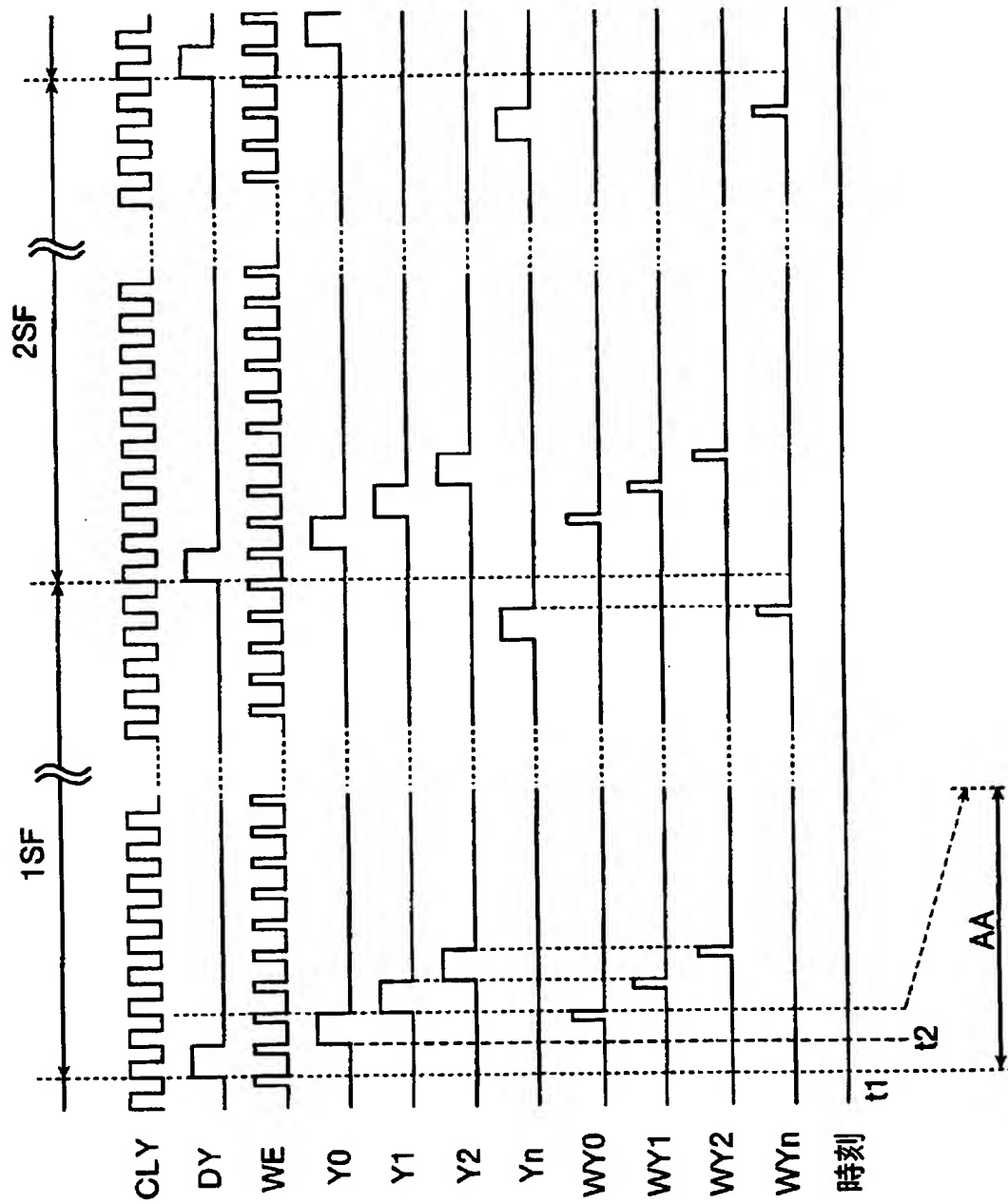
【図 9】



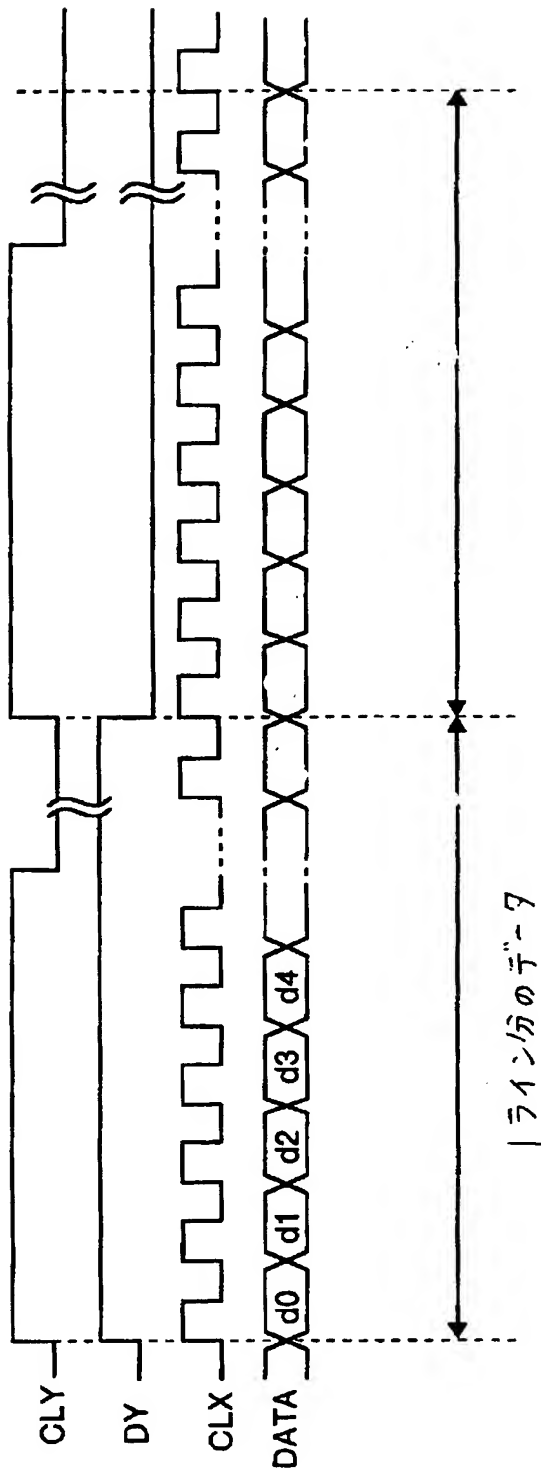
【図 10】



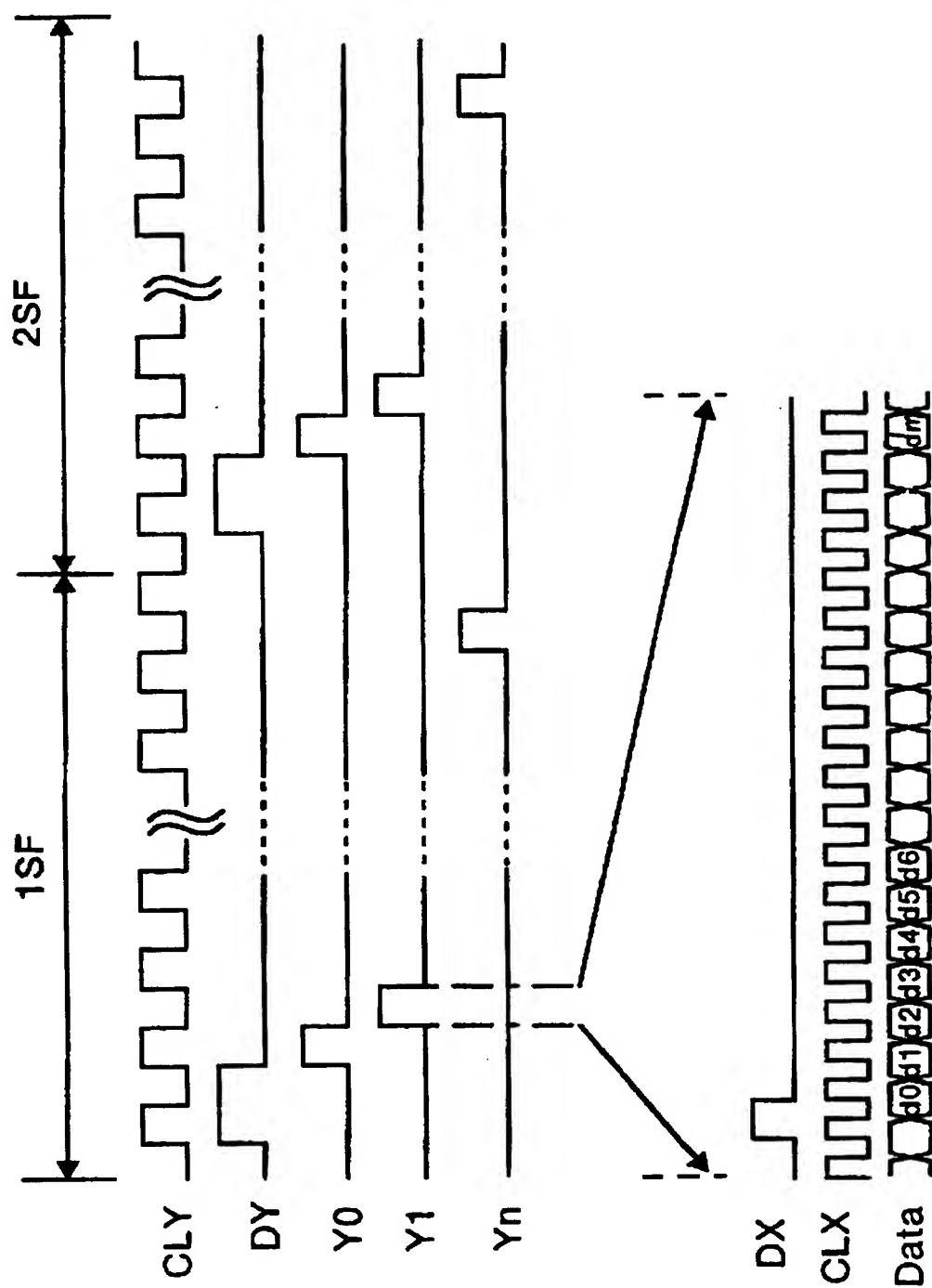
【図 11】



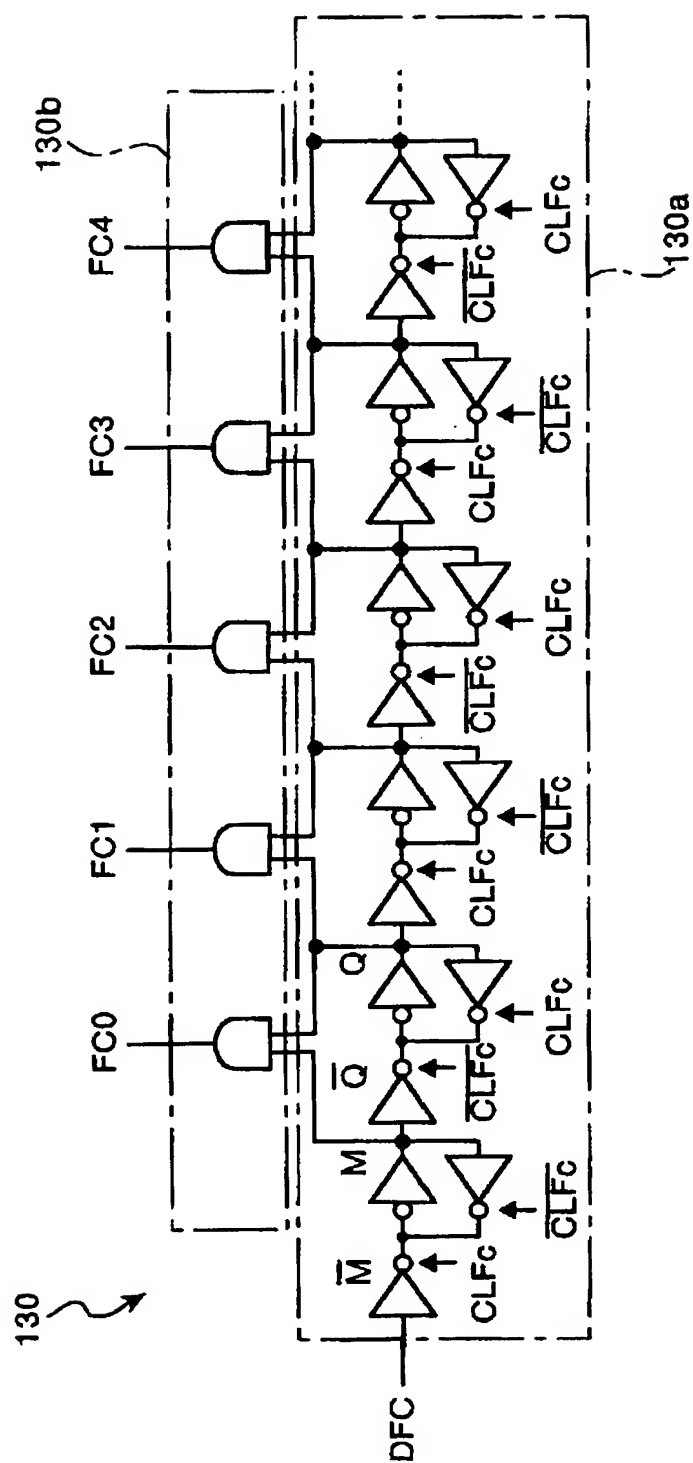
【図 12】



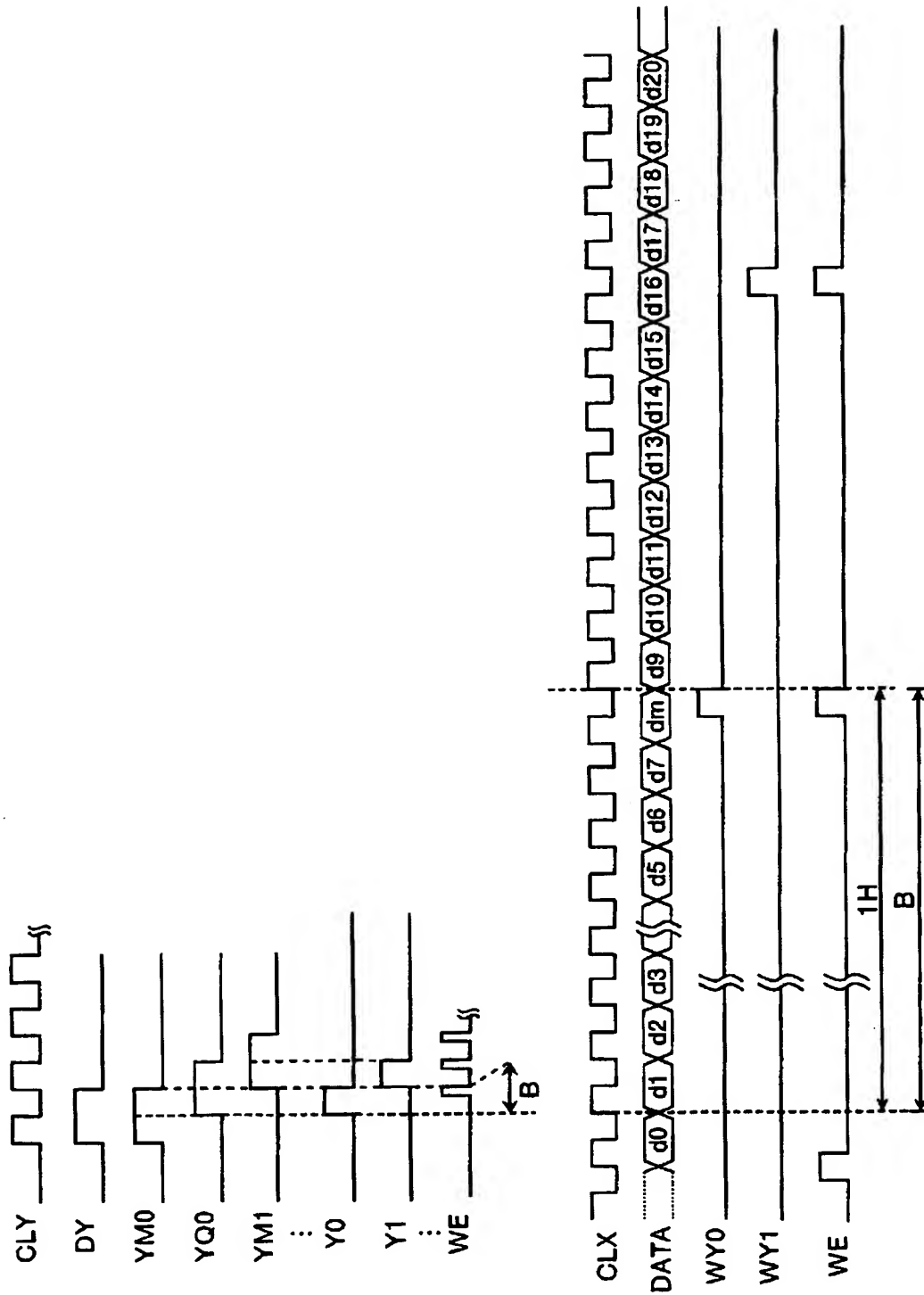
【図 13】



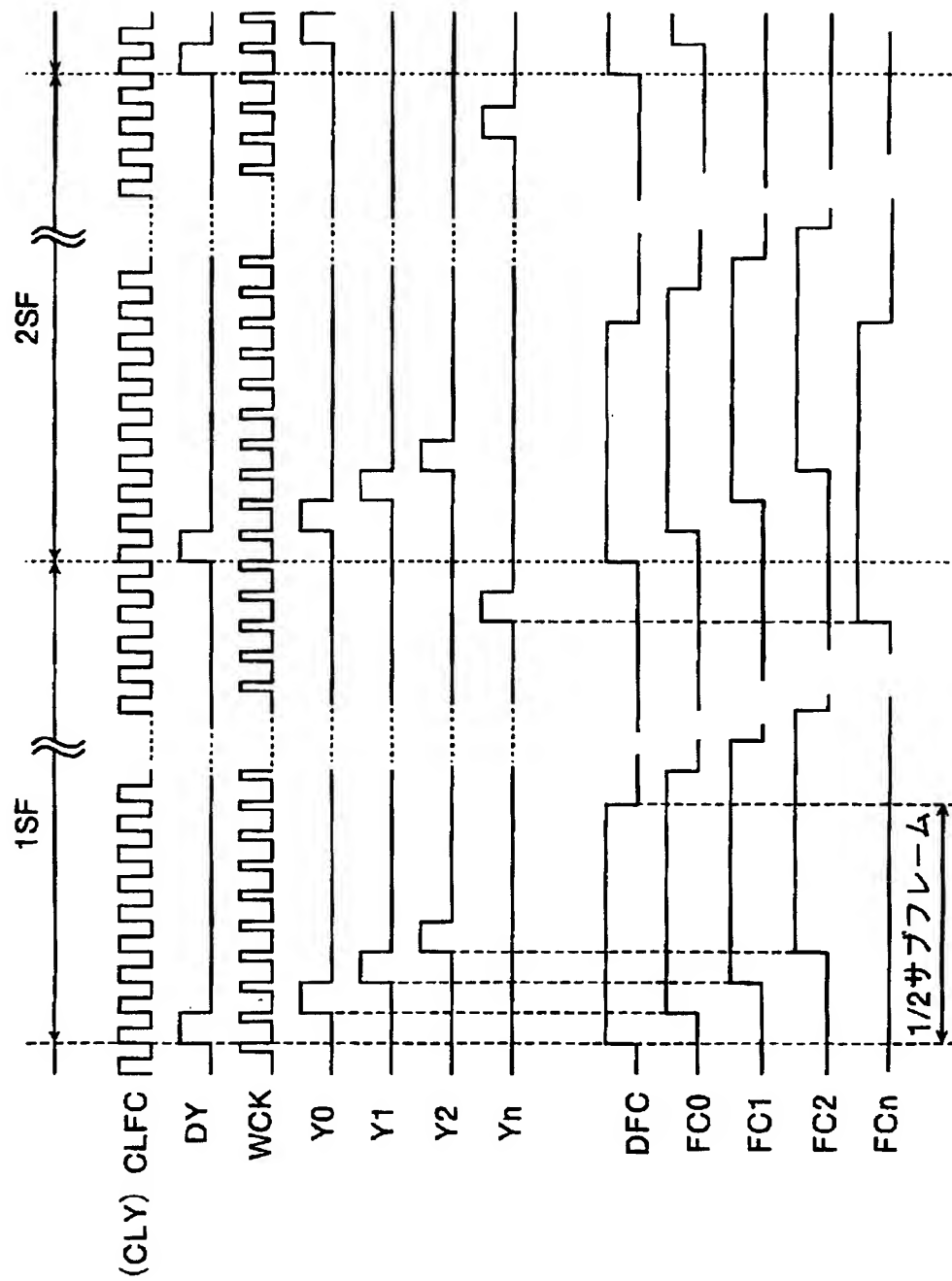
【図 14】



【図 15】

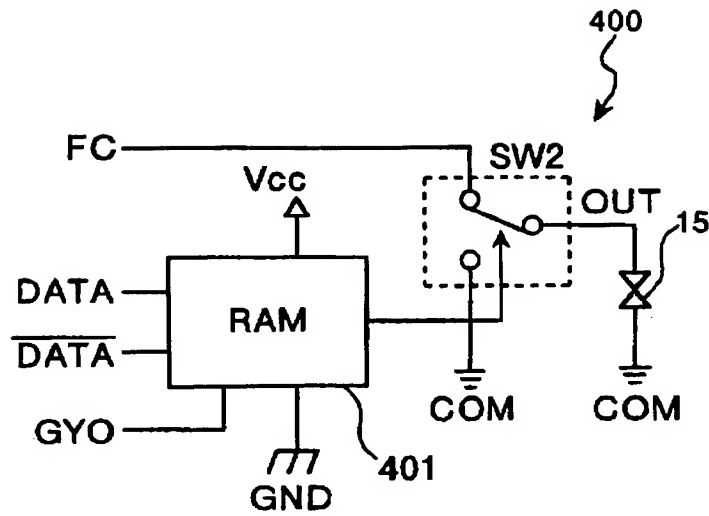


【図 16】

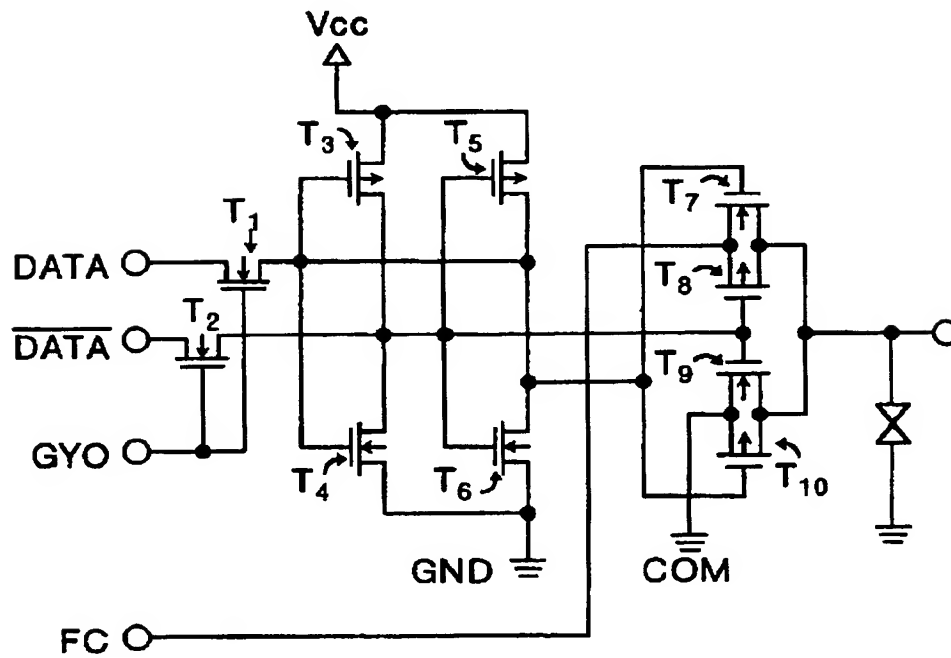


【図 17】

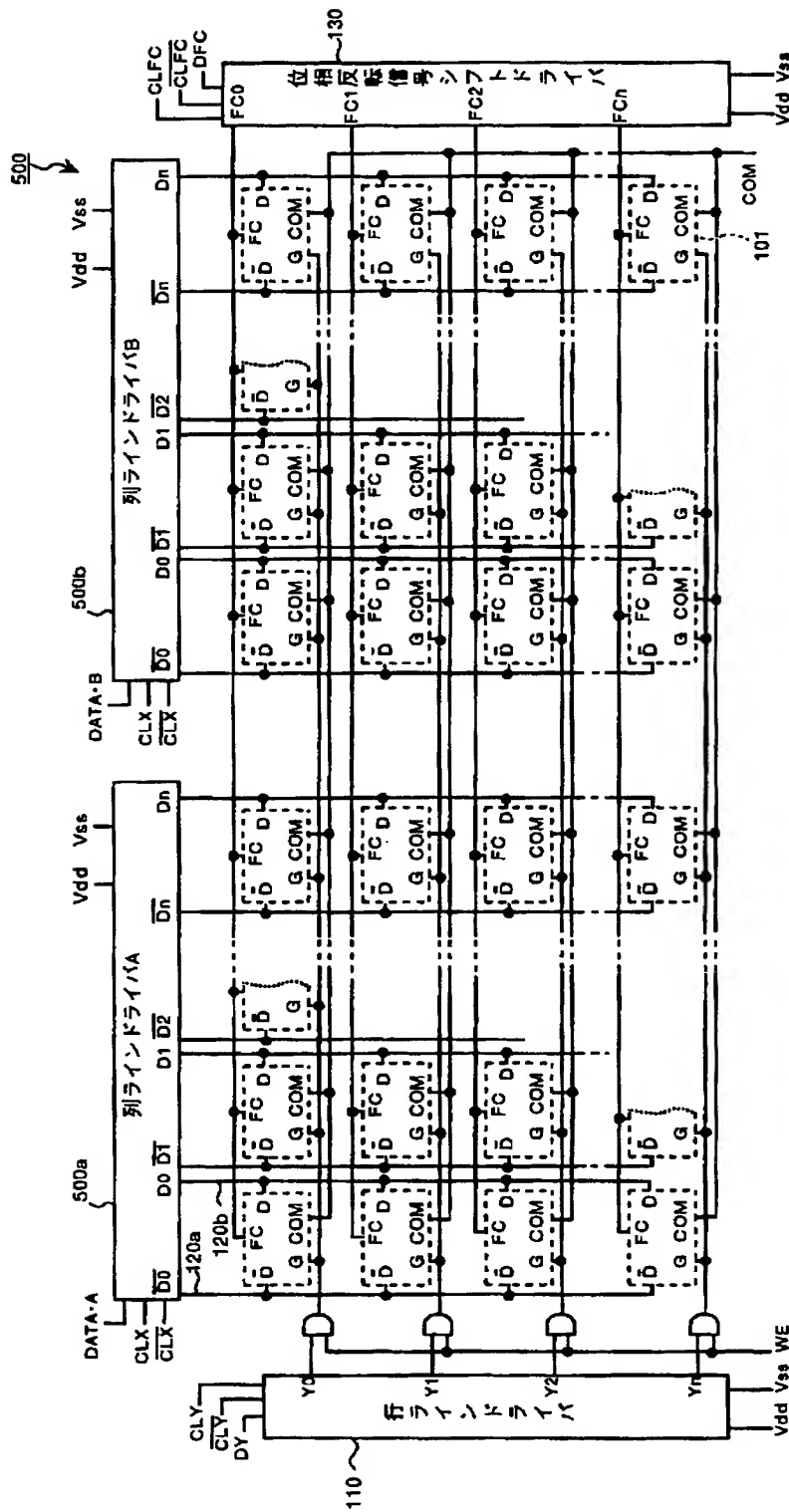
(a)



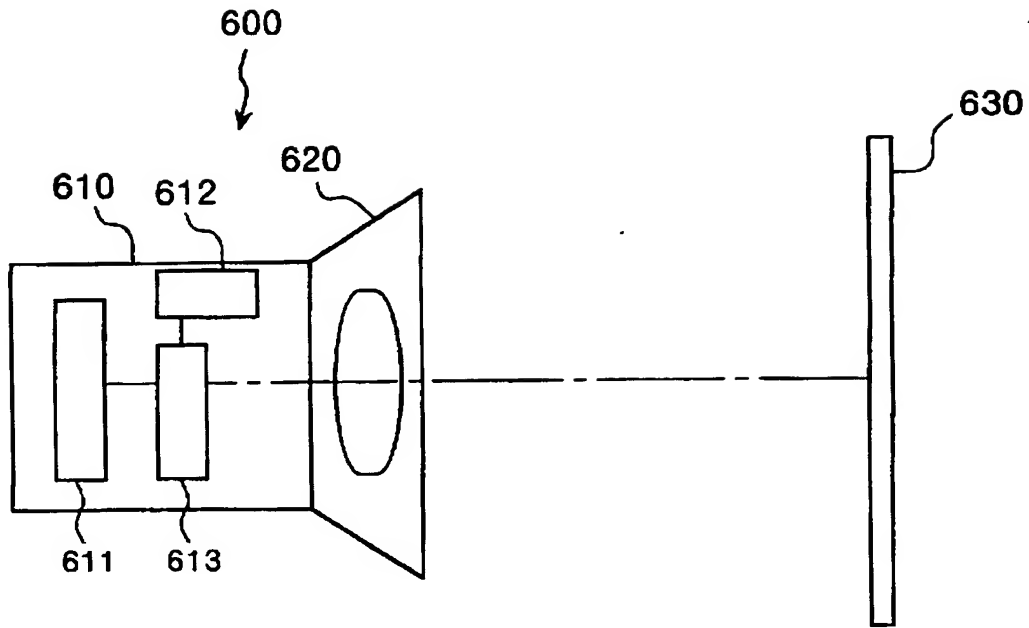
(b)



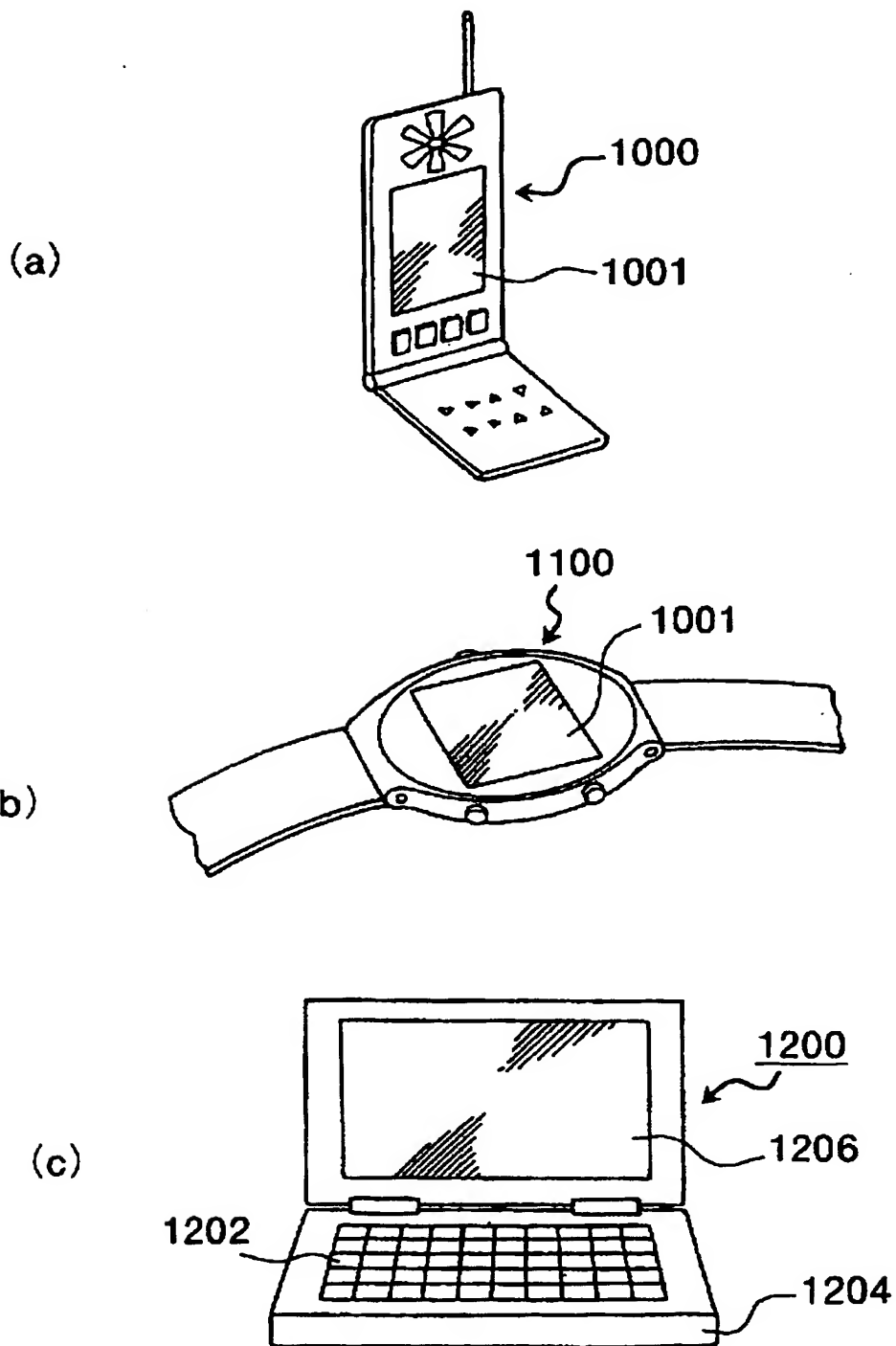
【図18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 高画質、高コントラストな映像を表示できる表示パネルのための電気光学装置用基板、この基板の駆動方法、デジタル駆動液晶表示装置、電子機器、及びプロジェクタを提供すること。

【解決手段】 マトリクス状に配列されデジタル駆動される複数のメモリセル 101 を含むメモリセルアレイを有する電気光学装置用基板 100 において、前記メモリセル 101 は供給されたデータの位相を反転させるアナログスイッチ SW1 を備えること、又は既に位相を反転されたデータが前記メモリセル 101 に供給される。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 7 1 4 7 4
受付番号	5 0 2 0 1 3 9 5 0 1 7
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 9 月 1 9 日

< 認定情報・付加情報 >

【提出日】 平成14年 9月18日

次頁無

特願 2 0 0 2 - 2 7 1 4 7 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社